

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-11729

(43)公開日 平成6年(1994)1月21日

(51)IntCL⁵
G 0 2 F 1/136
H 0 1 L 29/784

識別記号
5 0 0
9018-2K
9056-4M

序内整理番号
F I
H 0 1 L 29/ 78

技術表示箇所
3 1 1 A

審査請求 未請求 請求項の数3(全5頁)

(21)出願番号

特願平4-170753

(22)出願日

平成4年(1992)6月29日

(71)出願人 39100096

株式会社高度映像技術研究所
東京都新宿区西新宿2丁目1番1号 新宿
三井ビル24階 秘書箱283号

(72)発明者 湯田坂 一夫

東京都新宿区西新宿4-15-3 三省堂新
宿ビル4階株式会社高度映像技術研究所内

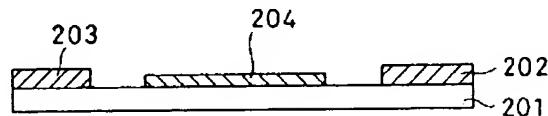
(74)代理人 弁理士 谷 義一 (外1名)

(54)【発明の名称】 液晶表示装置およびその製造方法

(57)【要約】

【目的】 高精細でTFTを高速で駆動することができ
る液晶表示装置を提供する。

【構成】 絶縁基板201上に、アクティブマトリック
スを駆動するための周辺回路が設けられる単結晶シリコ
ン膜202、203が形成されると共に、単結晶シリコ
ン膜202、203以外の領域に、画素電極を駆動する
画素トランジスタが設けられる多結晶シリコン膜または
非晶質シリコン膜204が形成されている。



【特許請求の範囲】

【請求項1】 絶縁基板と、

該絶縁基板上に設けられ、アクティブマトリックスを駆動するための周辺回路が形成される単結晶シリコン膜と、

前記絶縁基板上の単結晶シリコン膜以外の領域に設けられ、画素電極を駆動する画素トランジスタが形成される多結晶シリコン膜または非晶質シリコン膜とを有することを特徴とする液晶表示装置。

【請求項2】 前記単結晶シリコン膜より前記多結晶シリコン膜の方が薄いことを特徴とする請求項1記載の液晶表示装置。

【請求項3】 絶縁基板上に形成された単結晶シリコン膜を、アクティブマトリックスを駆動する周辺回路のトランジスタなどを構成する形状にパターニングする工程と、

前記絶縁基板上に多結晶シリコン膜または非晶質シリコン膜を堆積する工程と、

前記多結晶シリコン膜または非晶質シリコン膜をアクティブマトリックスの画素トランジスタを構成する形状にパターニングすると同時に、前記パターニングされた単結晶シリコン膜を露出する工程と、

前記多結晶シリコン膜または非晶質シリコン膜および前記単結晶シリコン膜上にゲート酸化膜を形成する工程とを含むことを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、いわゆるSOI(Silicon on Insulator)基板またはSOS(Silicon on Sapphire)基板上にTFT(Thin Film Transistor)が形成された液晶表示装置およびその製造方法に関する。

【0002】

【従来の技術】従来、液晶表示装置に用いられるアクティブマトリックス基板において使用されるTFTは、多結晶シリコン膜または非晶質シリコン膜上に形成されていた。一般的には周辺回路をモノリシックに形成するアクティブマトリックス基板では多結晶シリコン膜上に形成されるTFT(Poly-Si TFT)が使用され、大型基板を用いて形成されるアクティブマトリックスでは非晶質シリコン膜上に形成されるTFT(a-Si TFT)が使用されている。a-Si TFTは製造プロセスの温度が低いため廉価で大型の基板が使用できるが、この素子の移動度が小さく周辺回路を駆動することができない。一方、Poly-Si TFTは製造プロセスの温度が比較的高いため、石英などの高価で小型の基板を使用せざるを得ないが、この素子の移動度が大きく周辺回路を駆動する能力を持つ。現在量産されている液晶表示装置では、例えば、10インチ以上のパネ

ルではa-Si TFTが使われ、1インチないし3インチ程度の液晶表示装置でPoly-Si TFTが主に使用されている。前者ではコストに重点があり、後者はコストだけでなくパネル全体のコンパクト性が重要だからである。

【0003】

【発明が解決しようとする課題】しかしながら、近年、液晶表示装置の高精細化に伴い周辺回路には高性能化が要求されるようになり、Poly-Si TFTでも要求される性能を達成することが困難になってきている。画素数が増加するとそれに比例して周辺回路に要求される動作スピードが速くなるからである。画素数が百万以上になると動作スピードは数10MHz以上、理想的には100MHz以上が必要となる。多結晶シリコン膜によるTFTの特性も固相成長、レーザアニーリング、水素化などの技術により大きく向上することが分かっているが、100MHz以上の高速動作は極めて困難であり、さらに均一性、再現性、信頼性等に関する問題も多く量産するには至っていない。

【0004】液晶表示装置において、周辺回路を内蔵できる主な利点はコスト低減と液晶表示装置全体のコンパクト性である。コストの低減化は単純に周辺回路の内蔵分だけでなく、TFT基板の状態で周辺回路を利用してパネルの様々な欠陥を検出できることにも依っている。TFT基板の状態で欠陥を検出できれば、その基板をパネル組み立て前に除くことができるし、あるいは欠陥をレーザ技術などで修正することができるからである。液晶表示装置が高精細化されればそれだけ歩留りは低下しコストは上昇する。

【0005】そこで、本発明の目的は、上述の問題点を解消し、高精細化が実現され、TFTを高速で動作することのできる液晶表示装置およびその製造方法を提供することにある。

【0006】

【課題を解決するための手段】TFTはそのチャネル層となるシリコン層の結晶性によって電気的特性が決定される。非晶質、多結晶、単結晶の順に結晶性は良くなるから、それらをチャネル層とするTFTの特性、例えば易動度もその順に良いことになる。しかし、すべてのTFTが単結晶シリコン膜に構成されているアクティブマトリックスが最高の性能を持つわけではない。周辺回路は基本的にデジタル回路であるため、易動度の大きいTFTで構成する方がより高性能の回路が形成できるが、画素駆動用のTFTは通常大きな易動度は必要としない。易動度よりむしろソース・ドレイン間のリーク電流の方が重要である。リーク電流の温度依存性、バックライトを考慮した時の光リーク電流も重要である。これらのリーク電流の特性と表示特性との相関を検討した結果、比較的厚い単結晶シリコンを用いて画素駆動用TFTを構成するより、非晶質または多結晶シリコンを用い

チャネル層を薄いTFTを用いて構成する方が良い結果が得られることが分かった。

【0007】そこで、本発明の液晶表示装置は、絶縁基板と、該絶縁基板上に設けられ、アクティブマトリックスを駆動するための周辺回路が形成される単結晶シリコン膜と、前記絶縁基板上の単結晶シリコン膜以外の領域に設けられ、画素電極を駆動する画素トランジスタが形成される多結晶シリコン膜または非晶質シリコン膜とを有することを特徴とする。

【0008】本発明の液晶表示装置の製造方法は、絶縁基板上に形成された単結晶シリコン膜を、アクティブマトリックスを駆動する周辺回路のトランジスタなどを構成する形状にパターニングする工程と、前記絶縁基板上に多結晶シリコン膜または非晶質シリコン膜を堆積する工程と、前記多結晶シリコン膜または非晶質シリコン膜をアクティブマトリックスの画素トランジスタを構成する形状にパターニングすると同時に、前記パターニングされた単結晶シリコン膜を露出する工程と、前記多結晶シリコン膜または非晶質シリコン膜および前記単結晶シリコン膜上にゲート酸化膜を形成する工程とを含むことを特徴とする。

【0009】

【作用】本発明によれば、アクティブマトリックスを駆動する周辺回路のTFTが単結晶シリコン膜上に形成されるので、易動度が大きく高速で液晶表示装置を駆動することができる。

【0010】さらに、本発明によれば、画素電極を駆動する画素駆動TFTのチャネル層を薄くすることができるので、リーク電流を少なくすることができ、表示特性が向上する。

【0011】

【実施例】以下、図面を参照しつつ本発明の実施例を詳細に説明する。

【0012】図1は、本発明に係る液晶表示装置に用いられるSOS基板の模式的断面図である。

【0013】透明絶縁基板301上には単結晶シリコン膜302が形成されている。このような基板はSOS基板として市販されており、容易に入手できる。また、最近では基板貼り合わせ法により形成可能なことがわかつている。

【0014】図2は、図1に示した基板に形成された液晶表示装置の基本構成を示す模式的断面図である。

【0015】図2に示されるように、透明絶縁基板201上には、アクティブマトリックスを駆動するために周辺回路が設けられる単結晶シリコン膜202および203が形成されている。単結晶シリコン膜202および203以外の領域に、画素電極を駆動するための表示領域である画素トランジスタが設けられる多結晶シリコン膜または非晶質シリコン膜204を形成する。

【0016】通常、透明絶縁基板上に形成される単結晶

シリコン膜202、203の結晶性を確保するためにには、単結晶シリコン膜の厚さをある程度厚くする必要があり、通常この厚さは数千Åである。その理由は、単結晶シリコン膜のうち透明絶縁基板に近いところでは欠陥密度が高いからである。従って、周辺回路を形成するための単結晶シリコン膜202および203の厚さは5000Å以上とし、表示領域で画素駆動用のTFTを形成する多結晶シリコン膜または非晶質シリコン膜204の厚さは1000Å以下とする。単結晶シリコン膜202および203の厚さを厚くすることにより、そこに形成されるTFTの電気的特性はNチャネルTFTにおいても易動度は200cm²/V·s以上となり、PチャネルTFTにおいて易動度は100cm²/V·s以上を達成することができる。従って、周辺回路の動作スピードも数十MHzを容易に達成することができる。一方、画素駆動用のTFTには画素電極に書き込んだ電荷を保持するため、非常に低いリーク電流が必要であるが、TFTは多結晶シリコン膜または非晶質シリコン膜204上に形成され、TFTのチャネル層の厚さを500Å以下とすることにより、非常に低いリーク電流のTFTとすることができる。

【0017】図3は本発明に係る液晶表示装置の製造方法を示す工程図である。透明絶縁基板301上に単結晶シリコン膜302を形成する(図3(a))。次に、単結晶シリコン膜302について周辺回路を構成するための各々のTFTのソース、ドレインおよびチャネルとなるべき領域をパターニングする(図3(b))。302はパターニングされたTFTの一例を示す。次に、画素駆動用TFTを形成するため多結晶シリコン膜または非晶質シリコン膜303をLPCVD法により厚さが1000Åとなるように堆積する(図3(c))。次に、このシリコン膜303をパターニングして画素駆動用TFTのソース、ドレインおよびチャネルとなるべき領域を形成する(図3(d))。シリコン膜303は画素駆動用TFTの一例を示す。図3(c)において、単結晶シリコン膜302上の多結晶シリコン膜または非晶質シリコン膜303をエッティング除去する時、302は膜厚が十分厚いため、303を確実にエッティング除去することができる。

【0018】図4は図3に示した液晶表示装置より製造されるTFT素子の模式的断面図である。

【0019】図4に示したTFT素子の製造方法を説明する。

【0020】図3(d)の工程に続いて、単結晶シリコン膜302に周辺回路を構成するTFTを形成し、多結晶シリコン膜または非晶質シリコン膜303に画素駆動用TFTを形成する。ゲート絶縁膜304および305を熱酸化により1000ないし1200Åの厚みになるように同時に形成する。この熱酸化により非晶質シリコン膜は多結晶シリコン膜となると同時に、1000Åあ

った膜厚は400Å程度の厚さとなる。

【0021】次に、ゲート電極306および307を多結晶シリコンにより同時に形成する。図示されていないが、アクティブマトリックスを形成するためのゲート線もゲート電極306, 307と同一材料により同時に形成しても良い。次に、イオン打ち込み法によりソース・ドレイン領域に不純物を導入し、層間絶縁膜308をCVD法により形成する。次に、層間絶縁膜308の緻密化と打ち込みされたイオンの活性化を兼ねて1000°Cにおいてアニーリングする。次に、コンタクトホールを開口した後、A1膜を堆積し必要な配線309および310を形成する。309は周辺回路の配線を構成し、310はアクティブマトリックスのデータ配線となる。次に、画素電極となるITO (Indium Tin Oxide) 膜を形成してアクティブマトリックスが完成する。

【0022】

【発明の効果】以上説明したように、本発明によれば、アクティブマトリックスを駆動する周辺回路のTFTが単結晶シリコン膜上に形成されるので、易動度が大きく高速で液晶表示装置を駆動することができる。

【0023】さらに、本発明によれば、画素電極を駆動する画素駆動TFTのチャネル層を薄くすることができるので、リーク電流を少なくすることができ、表示特性が向上する。

【0024】従って、高精細でコンパクトで廉価な液晶

表示装置を提供することができる。

【0025】

【図面の簡単な説明】

【図1】本発明に係る液晶表示装置に用いられる基板の模式的断面図である。

【図2】本発明に係る液晶表示装置の模式的断面図である。

【図3】本発明に係る液晶表示装置の製造工程を示す模式的断面図である。

10 【図4】本発明を適用したTFT素子の模式的断面図である。

【符号の説明】

101 透明絶縁基板

102 単結晶シリコン膜

201 透明絶縁基板

202, 203 単結晶シリコン膜

204 多結晶シリコン膜または非晶質シリコン膜

301 透明絶縁基板

302 単結晶シリコン膜

20 303 多結晶シリコン膜または非晶質シリコン膜

304, 305 ゲート絶縁膜

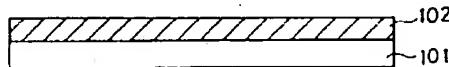
306, 307 ゲート電極

308 層間絶縁膜

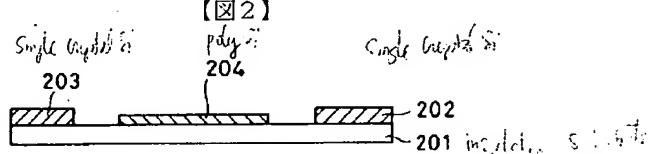
309 配線

310 データ配線

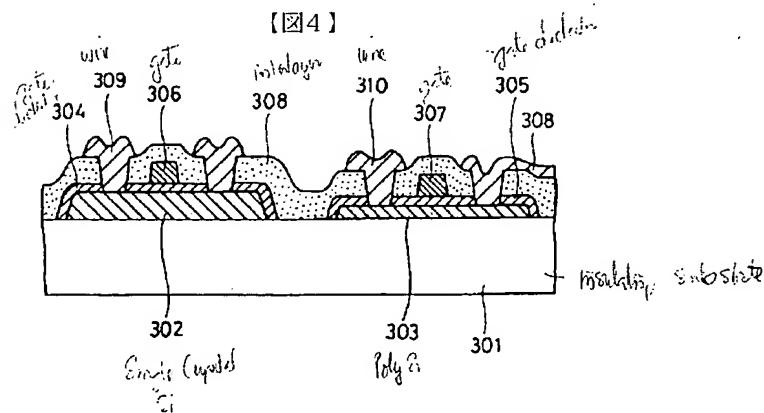
【図1】



【図2】



【図4】



【図3】

